

Copy of Prior Art

Patent Document 6

Japanese Patent Publication No.2001-77667

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-77667

(P2001-77667A)

(43)公開日 平成13年3月23日(2001.3.23)

(51)Int.Cl.

H 0 3 H 17/00

識別記号

6 2 1

F I

H 0 3 H 17/00

テ-マ-ト*(参考)

6 2 1 C

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21)出願番号 特願平11-251438

(22)出願日 平成11年9月6日(1999.9.6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 391004481

財団法人国際超電導産業技術研究センター

東京都港区新橋5丁目34番3号 栄進開発

ビル6階

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(74)代理人 100083552

弁理士 秋田 収喜

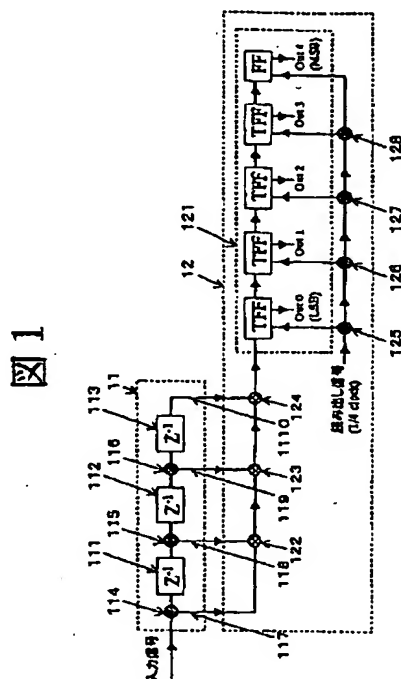
最終頁に続く

(54)【発明の名称】 デシメーションフィルタ

(57)【要約】

【課題】 高速動作を実現するために好適なデシメーションフィルタを提供する。

【解決手段】 クロックを時間の周期として伝送するパルスを入力信号とし、該パルスを1クロックだけ遅らせる遅延器と、前記クロックの整数倍の時間の間に伝送したパルス数を計数する計数器と、1本の信号線に伝送しているパルスを2本以上の信号線に分流する分流器と、2本以上の信号線に伝送している複数のパルスを1つの信号線に合流する合流器または前記計数器の計数結果を加算する加算手段とを備えるデシメーションフィルタにおいて、少なくとも前記分流器と前記遅延器を有し、前記入力信号パルスが入力し、かつ該入力信号パルスからクロックの整数倍だけ遅延したパルスを複数の信号線に生成する第1の回路ブロックと、少なくとも前記計数器と前記合流器または前記計数器の計数結果を加算する加算手段を有し、前記クロックの整数倍の時間の間に前記第1の回路ブロックから前記複数の信号線に生成したパルス数を計数する第2の回路ブロックとを具備する。



【特許請求の範囲】

【請求項1】 クロックを時間の周期として伝送するパルスを入力信号とし、該パルスを1クロックだけ遅らせる遅延器と、前記クロックの整数倍の時間の間に伝送したパルス数を計数する計数器と、1本の信号線に伝送しているパルスを2本以上の信号線に分流する分流器と、2本以上の信号線に伝送している複数のパルスを1つの信号線に合流する合流器または前記計数器の計数結果を加算する加算手段とを備えるデシメーションフィルタにおいて、少なくとも前記分流器と前記遅延器を有し、前記入力信号パルスが入力し、かつ該入力信号パルスからクロックの整数倍だけ遅延したパルスを複数の信号線に生成する第1の回路ブロックと、少なくとも前記計数器と前記合流器または前記計数器の計数結果を加算する加算手段を有し、前記クロックの整数倍の時間の間に前記第1の回路ブロックから前記複数の信号線に生成したパルス数を計数する第2の回路ブロックとを具備することを特徴とするデシメーションフィルタ。

【請求項2】 請求項1に記載のデシメーションフィルタにおいて、前記遅延器と、前記計数器と、前記分流器と、前記合流器または前記計数器の計数結果を加算する加算手段は、それぞれ超電導回路から構成されることを特徴とするデシメーションフィルタ。

【請求項3】 請求項1または2に記載のデシメーションフィルタにおいて、前記計数器は、2分周回路の直列接続体から構成され、かつ前記2分周回路は、前記クロックの整数倍の時間間隔で入力する読み出し信号により計数値がリセットされることを特徴とするデシメーションフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高速で伝送するパルス信号を処理するジंकフィルタ (sinc filter) と呼ばれるデシメーションフィルタの構成に関する。

【0002】

【従来の技術】 従来、超電導回路からなるデシメーションフィルタの構成に関しては、第1の従来例である、アイ・イー・イー・イー・トランザクションズ オン アップライド スーパーコンダクティビティ 第5巻 (1995年) 第2252頁から第2259頁 (IEEE Transactions on Applied Superconductivity vol.5 (1995) pp.2252-2259)、第2の従来例である、アイ・イー・イー・イー・トランザクションズ オン アップライド スーパーコンダクティビティ 第7巻 (1997年) 第2975頁から第2978頁 (IEEE Transactions on Applied Superconductivity vol.7 (1997) pp.2975-2978)、第3の従来例である、アイ・イー・イー・イー・トランザクションズ オン アップライド スーパーコンダクティビティ 第7巻 (1997年) 第2480頁から

第2483頁 (IEEE Transactions on Applied Superconductivity vol.7 (1997) pp.2480-2483) において論じられている。

【0003】

【発明が解決しようとする課題】 デシメーションフィルタの一つであるジंकフィルタは、前記第1の従来例の Fig.6 (a) の図中に示してあるように、クロックを時間の周期として伝送している入力信号 x_i を、クロックを時間の単位とする添字 i に関して和をとり、それを複数回繰り返すものである。

【0004】 ここで、その繰り返しの回数が k 回の時、 k 次のジंकフィルタとなる。この従来例は、2次のジंकフィルタの例であり、Fig.6 (a) 中「D cell」と表わされている遅延器と、「NT cell」と表わされている非破壊読み出しのトグルフリップフロップ (TFF) と、「T cell」と表わされている破壊読み出しのトグルフリップフロップと、同図において1本の信号線から2本の信号線が分岐している点に置かれた分流器とから構成されている、この従来例は、2重積分アルゴリズムを用いており、入力信号 x_i を添字 i に関して和をとって v_n を求めた後、再度 v_n を添字 n に関して和をとって y_i を求め、すなわち2重に和をとり、フィルタ動作を実現するものである。

【0005】 また、破壊読み出しのトグルフリップフロップ (「T cell」) を直列接続することにより、読み出し信号により計数値が0値へリセットする計数器を構成しているが、さらに非破壊読み出しのトグルフリップフロップ (「NT cell」) も用いている。この従来例は、「T cell」、「NT cell」等多種類の要素回路を必要としており、回路構成が複雑であることが、高速動作を実現する際の障害となっている。高速動作のためには回路構成の一層の単純化が必要である。

【0006】 デシメーションフィルタは、前記第2の従来例における式 (1) に示されているように、入力信号 x_i に適当な数係数 c_i を掛け合わせ、その乗算結果をクロックを時間の単位とする添字 i に関して和をとることによっても実現できる。この方法は、適当な他の係数 c_i を選ぶだけで種々のデシメーションフィルタを実現できるので、汎用性が高いという長所がある。

【0007】 しかし、前記従来例の文献中の Fig.1 に示されているように、係数メモリユニット、コントロールユニット、入出力インターフェイスと種々の要素回路を必要とし、回路構成が複雑かつ規模が大きくなるという短所があり、高速動作を実現する際の障害となっている。

【0008】 また、前記第3の従来例は、前記文献の Fig.5 に示されているように2個の累算器 (accumulator) と1個のダウンサンプラーと2個の差分器から2次のジंकフィルタを構成した例である。少

ない種類の要素回路によって構成され、回路構成が簡単であるという長所があるものの、累算器はフィードバック部を含んで加算を行い、さらにこの累算器は2個縦続接続されているために、演算結果の数値が増大し、回路規模も増大するという短所がある。この大きな回路規模が高速動作の障害となっている。

【0009】本発明の目的は、高速動作にとって好適な少ない種類の要素回路によって構成でき、かつフィードバック部を含んだ加算を行うことのないデシメーションフィルタを提供することにある。

【0010】本発明の前記ならびにその他の目的及び新規な特徴は、本明細書の記述及び添付図面によって明らかにされるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

【0012】(1) クロックを時間の周期として伝送するパルスを入力信号とし、該パルスを1クロックだけ遅らせる遅延器と、前記クロックの整数倍の時間の間に伝送したパルス数を計数する計数器と、1本の信号線に伝送しているパルスを2本以上の信号線に分流する分流器と、2本以上の信号線に伝送している複数のパルスを1つの信号線に合流する合流器または前記計数器の計数結果を加算する加算手段とを備えるデシメーションフィルタにおいて、少なくとも前記分流器と前記遅延器を有し、前記入力信号パルスが入力し、かつ該入力信号パルスからクロックの整数倍だけ遅延したパルスを複数の信

$$y_i' = (1/N^2) \sum_{j=1}^{i-(N-1)} \sum_{k=j-(N-1)}^j x_k$$

30

【0019】前記数1の式において、 $(1/N^2)$ は定数であるので、本実施例1ではこれを取り除き、以下、信号 y_i は、以下の数2の式の計算の結果を出力するジंकフィルタを構成するものとする。

【0020】

【数2】

$$y_i = \sum_{j=i-3}^i (x_j + x_{j-1} + x_{j-2} + x_{j-3})$$

(i = 4n ; nは整数)

【0023】本実施例1のデシメーションフィルタは、図1に示すように、第1の回路ブロック11により、入力信号パルスからクロックの整数倍だけ遅延した複数のパルス $\{x_j\}$ 、 $\{x_{j-1}\}$ 、 $\{x_{j-2}\}$ 、 $\{x_{j-3}\}$ を生成し、第2の回路ブロック12により、これら複数のパルスを合流させた後、クロックの整数倍の時間の間のパルス数、すなわち、 $j=i-3$ より $j=i$ までのパルス数を計数して y_i を得、フィルタ動作を得るものである。

【0024】以下、詳細に説明する。入力信号はクロックを時間周期として伝送しているパルスであり、第1の

号線に生成する第1の回路ブロックと、少なくとも前記計数器と前記合流器または前記計数器の計数結果を加算する加算手段を有し、前記クロックの整数倍の時間の間に前記第1の回路ブロックから前記複数の信号線に生成したパルス数を計数する第2の回路ブロックとを具備する。

【0013】(2) 前記手段(1)のデシメーションフィルタにおいて、前記遅延器と、前記計数器と、前記分流器と、前記合流器または前記計数器の計数結果を加算する加算手段は、それぞれ超電導回路から構成される。

【0014】(3) 前記手段(1)または(2)のデシメーションフィルタにおいて、前記計数器は、2分周回路の直列接続体から構成され、かつ前記2分周回路は前記クロックの整数倍の時間間隔で入力する読み出し信号により計数値がリセットされる。

【0015】

【発明の実施の形態】以下、図面を参照して、本発明について、その実施の形態(実施例)とともに詳細に説明する。

【0016】(実施例1) まず、図1、図5乃至図11を用いて、本発明による実施例1を説明する。本実施例1は、デシメーション因子 $N=4$ の2次のジंकフィルタを構成した例である。

【0017】2次のジंकフィルタは、入力信号 x_i に対して、信号 y_i' は、以下の数1の式の計算結果を出力するものである。

【0018】

【数1】

$$y_i = \sum_{j=1}^{i-(N-1)} \sum_{k=j-(N-1)}^j x_k$$

【0021】 $N=4$ の時、前記数2の式は、次の数3の式となる。

【0022】

【数3】

回路ブロック11の構成要素である分流器114に入力する。分流器114の等価回路とシンボルを図7に示す。図7に示すように、分流器114は直流バイアス電流DCとジョセフソン接合JJ(図中の×印)とインダクタLから構成される。分流器114からは2つのパルスが出力し、1つは信号線117を通して第1の回路ブロック11からパルス $\{x_j\}$ を生成する。 $\{x_j\}$ は入力信号パルスからクロック遅延のないパルスである。

【0025】もう1つのパルスは、遅延器111に入力する。遅延器111の等価回路とシンボルを図6に示す。遅延器111に入力したデータ信号は、一旦遅延器

111に蓄えられ、次のクロックが遅延器111に入力した時、遅延器111から出力する。すなわち、データ信号は1クロックだけ遅延することになる。遅延器111の出力は分流器115に入力する。以下、入力信号が分流器114に入力した時と同様にして、2つのパルスが出力し、1つは信号線118を通して第1の回路ブロック11からパルス $\{x_{j-1}\}$ を生成する。 $\{x_{j-1}\}$ は入力信号パルスから1クロックだけ遅延したパルスである。

【0026】もう1つのパルスは遅延器112に入力する。以下、同様にして、分流器116、遅延器113を用いることにより、信号線119、1110を通して複数のパルスが生成する。以上より第1の回路ブロック11からは、入力信号パルスからクロックの整数倍だけ遅延した複数のパルス、すなわち、入力信号パルスからクロック遅延のない $\{x_j\}$ 、入力信号パルスから1クロックだけ遅延した $\{x_{j-1}\}$ 、入力信号パルスから2クロックだけ遅延した $\{x_{j-2}\}$ 、入力信号パルスから3クロックだけ遅延した $\{x_{j-3}\}$ が生成することになる。

【0027】第2の回路ブロック12は、これら複数のパルスを合流させ、パルス数の合計を計数する。まず、信号線117と信号線118に伝送している2つのパルス $\{x_j\}$ と $\{x_{j-1}\}$ を合流器122に入力し、1つの信号線に合流させる。合流器122の等価回路とシンボルを図8に示す。図8に示すように、合流器122は、直流バイアス電流DCとジョセフソン接合JJとインダクタLから構成される。次に、信号線119に伝送しているパルス $\{x_{j-2}\}$ を合流器123により、さらに信号線1110に伝送しているパルス $\{x_{j-3}\}$ を合流器124により合流させ、第1の回路ブロック11から生成した複数のパルス $\{x_j\}$ 、 $\{x_{j-1}\}$ 、 $\{x_{j-2}\}$ 、 $\{x_{j-3}\}$ を1本の信号線上に合流させる。次に、この信号線に伝送するパルス数を計数器121により計数する。本実施例1ではデシメーション因子は $N=4$ であるので、クロック周波数の $1/4$ の周期で読み出し信号を計数器121に入力し、クロックの4倍の時間間隔で信号線上を伝送するパルスを計数する。なお、読み出し信号を入力するために、分流器125、126、127、128を用いた。また、次に示すように、計数器121は、読み出し信号により結果を出力した後、計数値が0値へリセットするものである。これより、次の読み出し信号を入力した時、正しい計数結果が得られることになる。計数器121は、2分周回路であるトグルフリップフロップ(TFF)を直列接続したものとフリップフロップ(FF)から構成される。トグルフリップフロップの等価回路とシンボルを図5に示す。トグルフリップフロップは、IN2が入力する度に、0状態と1状態を繰り返す。すなわち、入力IN2についての2分周回路である。1状態においてIN2が入力すると、02から1

が出力する。また、1状態においてIN1が入力すると、01から1が出力し、さらに0状態へリセットする。従って、IN2に計数するパルス信号を入力し、IN1に読み出し信号を入力する。

【0028】同様に、フリップフロップの等価回路とシンボルを図9に示す。0状態においてIN2が入力すると、1状態へ遷移する。0状態においてIN1が入力すると、01から何も出力されず0状態のままであるが、1状態においてIN1が入力すると、01から1が出力し、0状態へリセットする。従って、IN2に計数するパルス信号を入力し、IN1に読み出し信号を入力する。これらのトグルフリップフロップの直列接続体とフリップフロップを用いて計数器121を構成することにより、読み出し信号により結果を出力した後、計数値が0値へリセットする動作を実現できる。

【0029】本実施例1は、前記第1の従来例のように入力信号 x_i の添字に関する和を直接的に2重にとるものではない。本実施例1は、第1の回路ブロック11により、計数すべき複数のパルス $\{x_j\}$ 、 $\{x_{j-1}\}$ 、 $\{x_{j-2}\}$ 、 $\{x_{j-3}\}$ を生成させた後、第2の回路ブロック12により、これらの複数のパルスを合流させ、そのパルス数を計数して前述した数3の式の和($\sum_{j=1-3}^* x_j$)(*はその後の文字の上付けを表す)を実行し、出力 y_i ($=\sum_{j=1-3}^* (x_j + x_{j-1} + x_{j-2} + x_{j-3})$)を得るものである。

【0030】従って、トグルフリップフロップ、フリップフロップ、遅延器、分流器、合流器という少ない種類の要素回路によって構成でき、かつフィードバック部を含んだ加算を行うこともないので、高速動作にとって好適なデシメーションフィルタを実現できることになる。

【0031】本実施例1のシミュレーション動作波形を図10に示す。本シミュレーションのクロック時間は200psであり、このクロックを時間の周期とし入力信号 x_i を入力する。この例では($x_1, x_2, x_3, x_4, x_5, x_6$)=(1, 1, 0, 1, 0, 1)であり、 $x_i=0$ ($i \leq 0$)である。値が1である x_1, x_2, x_4 がそれぞれ図10中のパルス1311, 1312, 1313に対応する。パルス1341乃至1348は、図1の合流器124の直後の位置で測ったパルスを表す。パルス1341は信号線117を通った x_1 に対応し、パルス1342, 1343は信号線117を通った x_2 と1クロック遅延した後に信号線118を通った x_1 に対応する。同様に、パルス1344, 1345は1クロック遅延した後に信号線118を通った x_2 と2クロック遅延した後に信号線119を通った x_1 に対応する。また、パルス1346, 1347, 1348は、信号線117を通った x_4 と2クロック遅延した後に信号線119を通った x_2 と3クロック遅延した後に信号線1110を通った x_1 に対応する。これら8個のパルス1341乃至1348は随時計数器121に入力する。

【0032】計数器121の計数値は、クロックの4倍の周期で入力する読み出し信号で読み出されるが、本シミュレーションではパルス132がこれに相当する。この時、計数器121のOut3からの出力パルス133が現れている。Out3は計数値が8であり、8個のパルスが入力したことを意味し、これより正しい動作が確認できる。

【0033】なお、本実施例1では、第1の回路ブロック11から生成した複数のパルスを合流器122乃至124により合流させた後、計数器121によりそのパルス数の合計を計数したが、図11に示すように、第1の回路ブロック14から生成した複数のパルスを、計数器

$$y_i = \sum_{j=i-(N-1)}^i \sum_{k=j-(N-1)}^j \sum_{s=k-(N-1)}^k x_s$$

【0037】N=4の時、数4の式は、次の数5の式となる。

$$\begin{aligned} y_i &= \sum_{j=i-3}^i \sum_{k=j-3}^j (x_k + x_{k-1} + x_{k-2} + x_{k-3}) \\ &= \sum_{j=i-3}^i \{ (x_j + x_{j-1} + x_{j-2} + x_{j-3}) \\ &\quad + (x_{j-1} + x_{j-2} + x_{j-3} + x_{j-4}) \\ &\quad + (x_{j-2} + x_{j-3} + x_{j-4} + x_{j-5}) \\ &\quad + (x_{j-3} + x_{j-4} + x_{j-5} + x_{j-6}) \} \\ &\quad (i = 4n; n \text{ は整数}) \end{aligned}$$

【0039】従って、図1の実施例1と同様にして、遅延器と分路器から第1の回路ブロック21を構成し、入力信号パルスからクロックの整数倍だけ遅延した16個のパルス $\{x_j\}, \{x_{j-1}\}, \{x_{j-2}\}, \{x_{j-3}\}, \{x_{j-4}\}, \{x_{j-5}\}, \{x_{j-6}\}, \{x_{j-7}\}, \{x_{j-8}\}, \{x_{j-9}\}, \{x_{j-10}\}, \{x_{j-11}\}, \{x_{j-12}\}, \{x_{j-13}\}, \{x_{j-14}\}, \{x_{j-15}\}$ を生成し、これらを順に信号線211乃至2116を通して第2の回路ブロック22に入力し、これら16個の複数のパルスを合流させた後、計数器221により計数することにより、デシメーション因子N=4の3次のジंकフィルタが得られることになる。

【0040】なお、本実施例2では、1本の信号線上を合流したパルスが伝送するため、パルス同士がお互いに重ならないようにタイミングを合わせる必要がある。本実施例2では、このタイミングは、信号線の長さによって定まる配線遅延を利用して調整したが、例えばジョセフソン伝送線路を挿入することによっても、このタイミングを調整できる。

【0041】(実施例3) 次に、図3を用いて本発明による実施例3を説明する。

$$\sum_{j=i-3}^i (x_j + x_{j-1} + x_{j-2} + x_{j-3})$$

【0045】同様に、合流器を用いて $\{x_{j-1}\}, \{x_{j-2}\}, \{x_{j-3}\}, \{x_{j-4}\}$ を合流させた後、計数器23によりクロックの4倍の時間の間のパルス数、すな

152乃至155により計数した後、その計数結果を加算する手段である計数器151を用いてその合計を計数しても同様の効果が得られることになる。

【0034】(実施例2) 次に、図2を用いて本発明の実施例2を説明する。本実施例はデシメーション因子N=4の3次のジंकフィルタを構成した例である。

【0035】前記数2の式と同様にして、デシメーション因子Nの3次のジंकフィルタは、入力信号 x_i に対して、信号 y_i は以下の数4の式の計算結果を出力するものである。

【0036】

【数4】

$$\sum_{s=k-(N-1)}^k x_s$$

【0038】

【数5】

【0042】本実施例3はデシメーション因子N=4の3次のジंकフィルタを構成した例であり、前記実施例2において、合流器の一部を計数器322乃至325に置きかえ、さらにその計数器の計数結果を加算する加算手段として、計数器321を用いた例である。

【0043】本実施例3の第1の回路ブロック31は、前記実施例2の第1の回路ブロック21と同じであり、第1の回路ブロック31からは入力信号パルス x_i からクロックの整数倍だけ遅延した16個のパルス $\{x_j\}, \{x_{j-1}\}, \{x_{j-2}\}, \{x_{j-3}\}, \{x_{j-4}\}, \{x_{j-5}\}, \{x_{j-6}\}, \{x_{j-7}\}, \{x_{j-8}\}, \{x_{j-9}\}, \{x_{j-10}\}, \{x_{j-11}\}, \{x_{j-12}\}, \{x_{j-13}\}, \{x_{j-14}\}, \{x_{j-15}\}$ を生成する。第2の回路ブロック32は、これらのパルス数を計数するものである。まず、合流器を用いて $\{x_j\}, \{x_{j-1}\}, \{x_{j-2}\}, \{x_{j-3}\}$ を合流させた後、計数器322によりクロックの4倍の時間の間のパルス数、すなわち、 $j=i-3$ より $j=i$ までのパルスの数を計数する次の数6の式を得る。

【0044】

【数6】

すなわち、 $j=i-3$ より $j=i$ までのパルスの数を計数する次の数7の式を得る。

【0046】

【数7】

$$\sum_{j=i-3}^i (x_{j-1} + x_{j-2} + x_{j-3} + x_{j-4})$$

【0047】同様に、計数器324により $j = i - 3$ より $j = i$ までのパルス数を計数する次の数8の式を得、計数器325により $j = i - 3$ より $j = i$ までのパ

ルスの数を計数する次の数9の式を得る。

【0048】

【数8】

$$\sum_{j=i-3}^i (x_{j-2} + x_{j-3} + x_{j-4} + x_{j-5})$$

【0049】

【数9】

$$\sum_{j=i-3}^i (x_{j-3} + x_{j-4} + x_{j-5} + x_{j-6})$$

【0050】次に、計数器322乃至325の計数結果を計数器321に入力して加算する。

【0051】これより、クロックの4倍の時間の間に第1のブロック31から生成した前記16個のパルスの数、すなわち、 $j = i - 3$ より $j = i$ までのパルス数が計数され、 y_1 を得、フィルタ動作が得られることになる。

【0052】なお、本実施例3では、計数器の計数結果を加算する手段として計数器321を用いたが、論理演算回路に用いる加算器を用いても同様の効果が得られることになる。

【0053】また、一点鎖線で囲った回路ブロック326乃至329は、前記実施例1のデシメーションフィルタである $N = 4$ の2次のジंकフィルタであり、本実施例3は、この2次のジंकフィルタを遅延器を介して接続したものとみなすこともできる。

【0054】（実施例4）次に、図4を用いて本発明による実施例4を説明する。本実施例4は、デシメーション因子 $N = 4$ の3次のジंकフィルタを構成した例である。本実施例4は、前記実施例3において、第1の回路ブロックに遅延器411、412、413を付け加えると共に、これに対応して第2の回路ブロックに遅延器426、427、428を付け加え、これより1クロックの間に実行する演算量を減らし、高速動作化を図ったものである。

【0055】第1の回路ブロック41は、前記実施例3の第1の回路ブロックに遅延器411、412、413を付け加えたものである。遅延器により、パルスの伝送は1クロック遅れるので、入力信号 x_1 に対して、第1の回路ブロック41から生成される16個のパルスは $\{x_j\}, \{x_{j-1}\}, \{x_{j-2}\}, \{x_{j-3}\}, \{x_{j-2}\}, \{x_{j-3}\}, \{x_{j-4}\}, \{x_{j-5}\}, \{x_{j-4}\}, \{x_{j-5}\}, \{x_{j-6}\}, \{x_{j-7}\}, \{x_{j-6}\}, \{x_{j-7}\}, \{x_{j-8}\}, \{x_{j-9}\}$ となる。第2の回路ブロック42は、これらのパルス数を計数するものである。

【0056】まず、合流器を用いて $\{x_j\}, \{x_{j-1}\}, \{x_{j-2}\}, \{x_{j-3}\}$ を合流させた後、計数器422により、クロックの4倍の時間の間のパルス数、すなわち、 $j = i - 3$ より $j = i$ までのパルスの数を計数して前述の数6の式を得る。

【0057】同様に、合流器を用いて $\{x_{j-2}\}, \{x_{j-3}\}, \{x_{j-4}\}, \{x_{j-5}\}$ を合流させた後、計数器423により、クロックの4倍の時間の間のパルス数を計数する。

【0058】但し、第1の回路ブロック41に挿入した遅延器411に対応して、読み出し信号が伝送する信号線に遅延器426を挿入しているため、読み出す時刻は1クロック遅れ、 $j = i - 2$ より $j = i + 1$ までのパルス数を計数することになる。すなわち、次の数10の式を得る。

【0059】

【数10】

$$\sum_{j=i-2}^{i+1} (x_{j-2} + x_{j-3} + x_{j-4} + x_{j-5})$$

(=前記数7の式)

【0060】同様に、計数器424により、次の数11の式を得、

【0061】

【数11】

$$\sum_{j=i-1}^{i+2} (x_{j-4} + x_{j-5} + x_{j-6} + x_{j-7})$$

(=前記数8の式)

【0062】計数器425により次の数12の式を得る。

【0063】

【数12】

$$\sum_{j=i}^{i+3} (x_{j-6} + x_{j-7} + x_{j-8} + x_{j-9})$$

(=前記数9の式)

【0064】計数器422乃至425の計数結果は、随時、計数器421に入力され加算される。これよりクロックの4倍の時間の間に第1のブロック41から生成した前記16個のパルス数が計数され、 y_1 が得られ、フィルタ動作が得られることになる。

【0065】なお、本実施例4では、第1の回路ブロック41から生成した複数のパルスを同時に計数するのではなく、遅延器426、427、428を用いて1クロックずつ遅らせた後に計数し、従って、読み出し信号入力後3クロック後に、所望の y_1 を得た。フィルタの出力は読み出し信号を入力した後の3クロック後と遅れるが、1クロックの間に実行する演算量が前記実施例3よりも少なく、一層の高速動作化が図れることになる。

【0066】以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0067】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0068】少ない種類の要素回路によって構成でき、かつフィードバック部を含んだ加算を行うこともないので、これより高速動作にとって好適なデシメーションフィルタを実現することができる。

【図面の簡単な説明】

【図1】本発明による実施例1のデシメーションフィルタであるデシメーション因子 $N=4$ の2次のジンクフィルタの構成を示す回路図である。

【図2】本発明による実施例2のデシメーションフィル

タであるデシメーション因子 $N=4$ の3次のジンクフィルタの構成を示す回路図である。

【図3】本発明による実施例3のデシメーションフィルタであるデシメーション因子 $N=4$ の3次のジンクフィルタの構成を示す回路図である。

【図4】本発明による実施例4のデシメーションフィルタであるデシメーション因子 $N=4$ の3次のジンクフィルタの構成を示す回路図である。

【図5】前記実施例1乃至4のトグルフリップフロップの等価回路とシンボルを示す回路図である。

【図6】前記実施例1乃至4の遅延器の等価回路とシンボルを示す回路図である。

【図7】前記実施例1乃至4の分流器の等価回路とシンボルを示す回路図である。

【図8】前記実施例1乃至4の合流器の等価回路とシンボルを示す回路図である。

【図9】前記実施例1乃至4の別のフリップフロップの等価回路とシンボルを示す回路図である。

【図10】前記実施例1のデシメーションフィルタであるデシメーション因子 $N=4$ の2次のジンクフィルタのシミュレーション動作波形を示す図である。

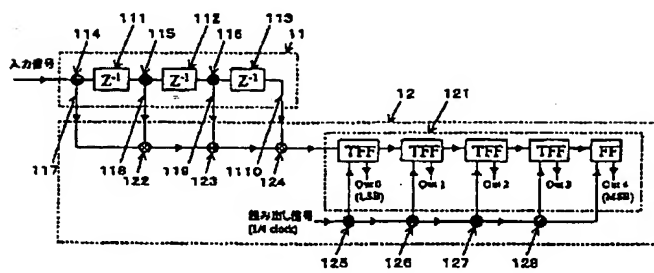
【図11】前記実施例1のデシメーションフィルタであるデシメーション因子 $N=4$ の2次のジンクフィルタの構成を示す回路図である。

【符号の説明】

11、21、31、41…第1の回路ブロック、12、22、32、42…第2の回路ブロック、121、221、321、421…計数器、114、115、116…分流器、122、123、124…合流器。

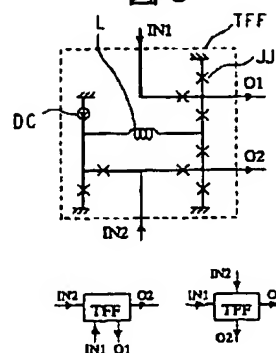
【図1】

図1



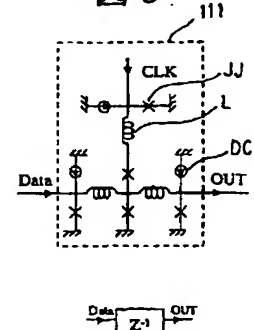
【図5】

図5



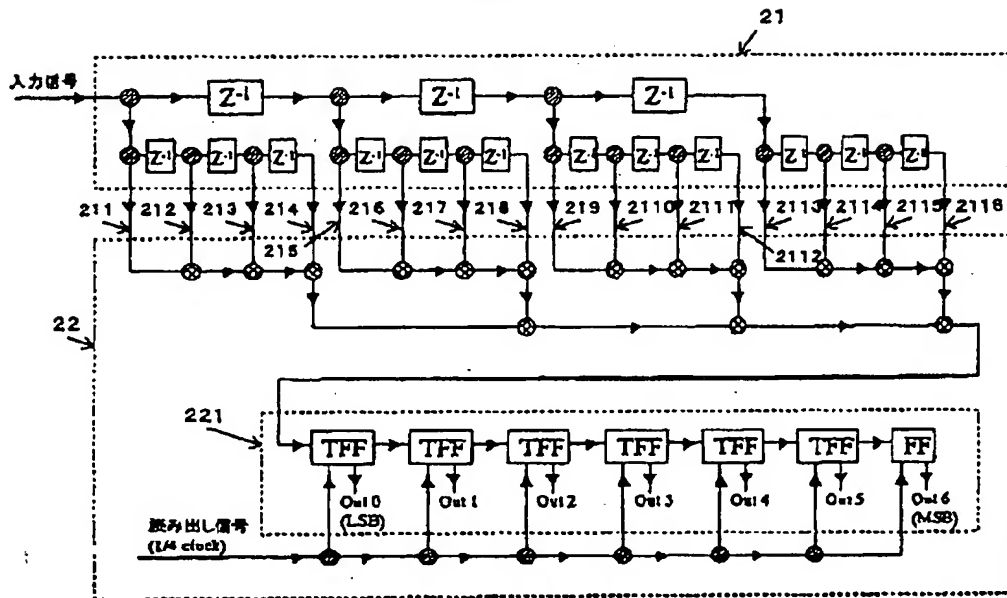
【図6】

図6

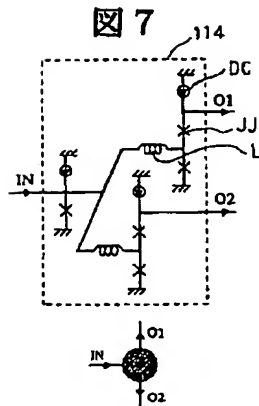


【図2】

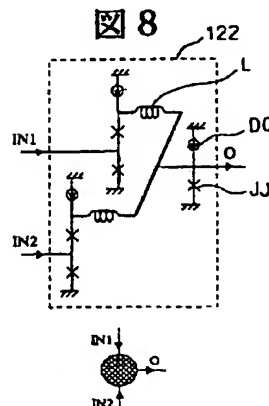
図 2



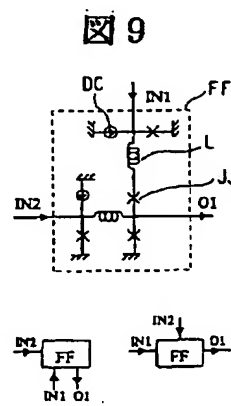
【図7】



【図8】

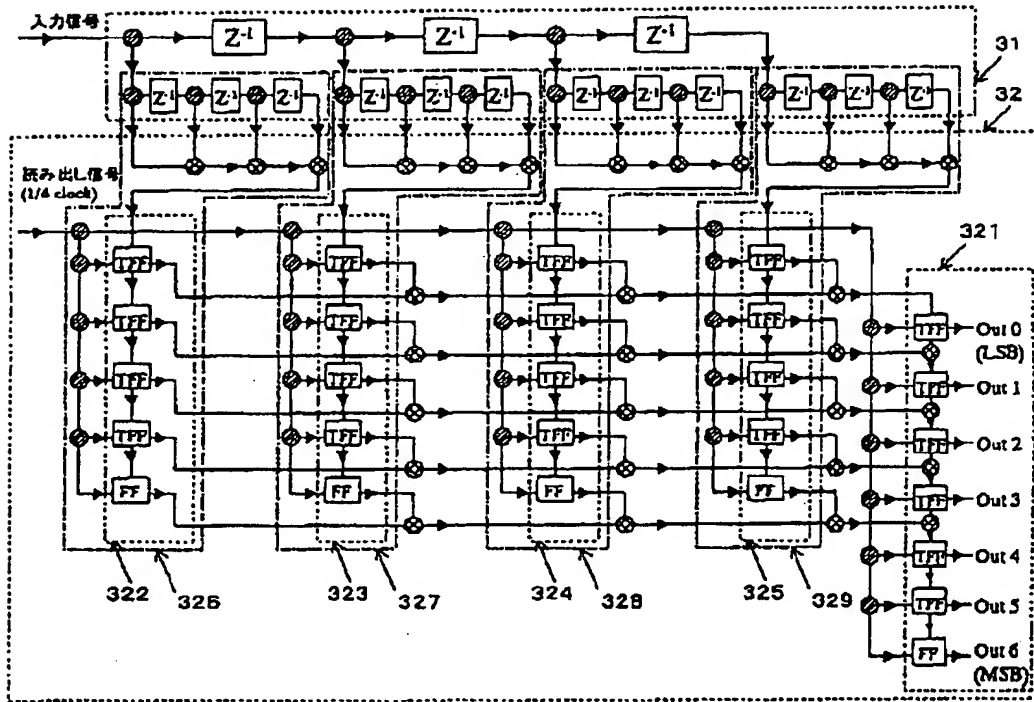


【図9】



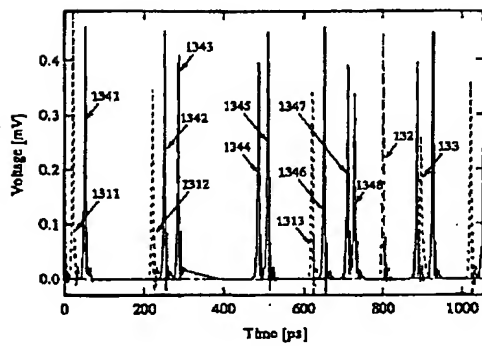
【図3】

図3



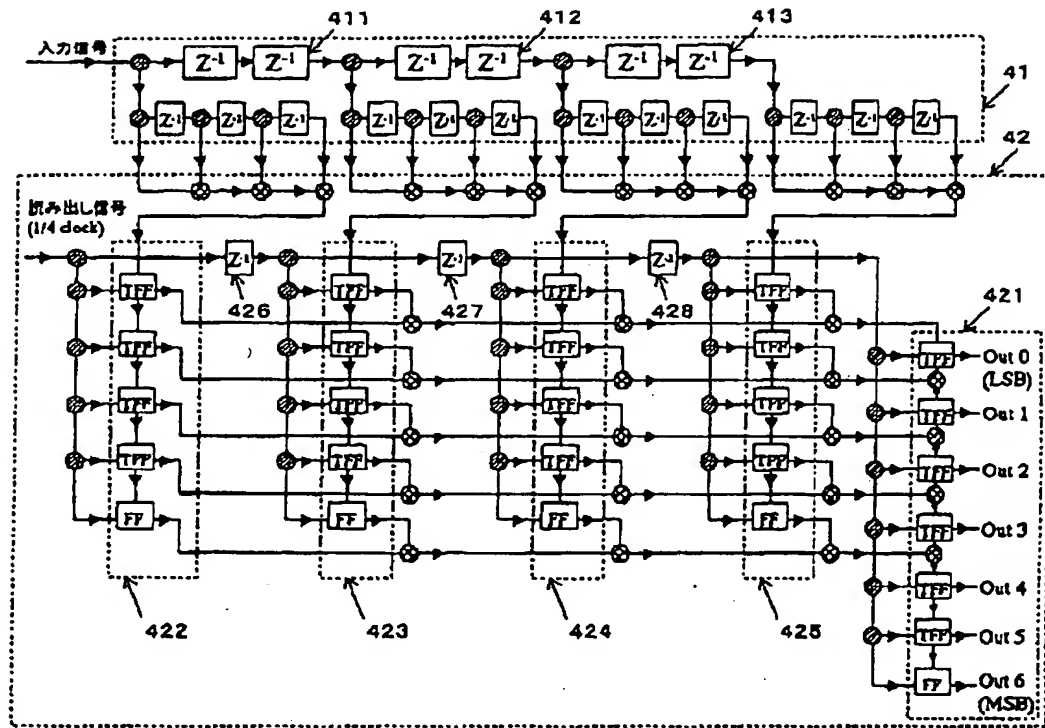
【図10】

図10



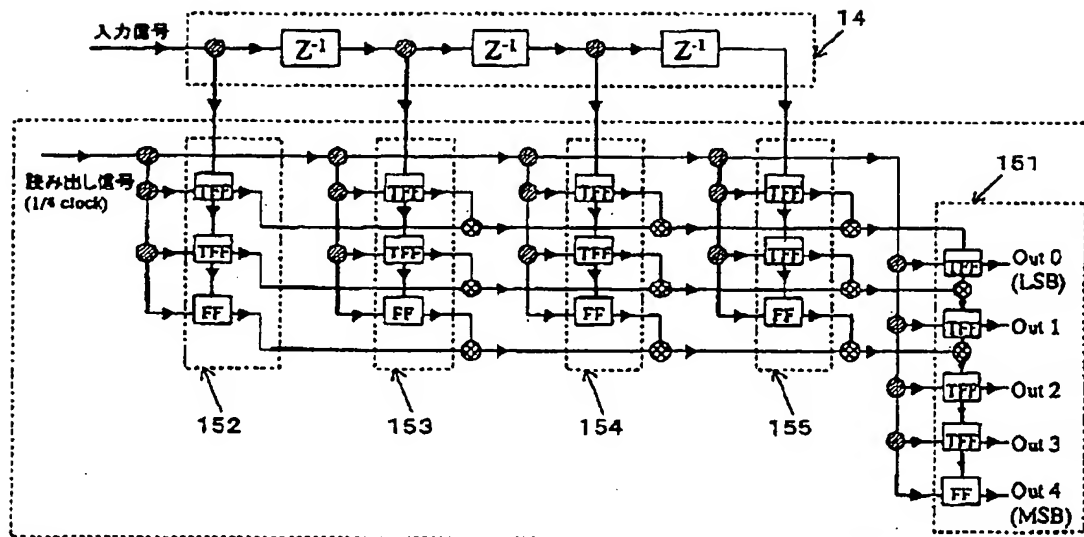
【図4】

図4



【図11】

図 11



フロントページの続き

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 長谷川 晴弘

埼玉県比企郡鳩山町赤沼2520番地 株式会
社日立製作所基礎研究所内

(72)発明者 宮原 一紀

東京都江東区東雲一丁目14番3 財団法人
国際超電導産業技術研究センター 超電導
工学研究所内

(72)発明者 橋本 龍典

神奈川県幸区小向東芝町1番地 株式会社
東芝研究開発センター内

(72)発明者 永沢 秀一

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 榎本 陽一

東京都江東区東雲一丁目14番3 財団法人
国際超電導産業技術研究センター 超電導
工学研究所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-077667

(43)Date of publication of application : 23.03.2001

(51)Int.Cl.

H03H 17/00

(21)Application number : 11-251438

(71)Applicant : HITACHI LTD
INTERNATL SUPERCONDUCTIVITY
TECHNOLOGY CENTER
TOSHIBA CORP
NEC CORP

(22)Date of filing : 06.09.1999

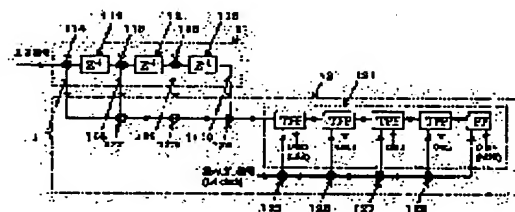
(72)Inventor : HASEGAWA HARUHIRO
MIYAHARA KAZUNORI
HASHIMOTO TATSUNORI
NAGASAWA SHUICHI
ENOMOTO YOICHI

(54) DECIMATION FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To enable high-speed operation by generating on a signal line a pulse which is delayed an integral multiple of a clock behind an input signal pulse by a circuit block, composed of a shunt and a delay unit and counting pulses which are generated in a time, which is an integral multiple of the clock by a circuit block composed of a confluence unit and a counter.

SOLUTION: Shunts 114 to 116, consisting of Josephson junctions and inductors, receive input signal pulses and shunt them to signal lines 117 to 119 and delay units 111 to 113. Then a 1st circuit block 11 generate on signal lines 117 to 1110 delayed pulses, which are as many as a decimation factor, e.g. '4'. In a 2nd circuit block, confluence units 122 to 124, consisting of Josephson junctions and inductors count and send delay pulses which are as many as the decimation factor '4' to a counter 121. The counter 121 is composed of a series connection of toggle flip-flops and holds its count result in cycles, which are 1/4 as long as the clock frequency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The delay machine which is characterized by providing the following and with which the pulse which transmits a clock as a period of time is made into an input signal, and only one clock delays this pulse, The counter which carries out counting of the pulse number transmitted between the time of the integral multiple of the aforementioned clock, counting of the shunt which carries out diverging of the pulse currently transmitted to one signal line to two or more signal lines, and the unification machine which joins one signal line in two or more pulses which are transmitting to two or more signal lines or the aforementioned counter -- a decimation filter equipped with an addition means to add a result The 1st circuit block which generates the pulse by which it has the aforementioned shunt and the aforementioned delay machine at least, and the aforementioned input signal pulse inputted, and only the integral multiple of a clock was delayed from this input signal pulse to two or more signal lines. at least -- counting of the aforementioned counter, the aforementioned unification machine, or the aforementioned counter -- the 2nd circuit block which carries out counting of the pulse number which has an addition means to add a result and was generated from the circuit block of the above 1st to two or more aforementioned signal lines between the time of the integral multiple of the aforementioned clock

[Claim 2] a decimation filter according to claim 1 -- setting -- counting of the aforementioned delay machine, the aforementioned counter, the aforementioned shunt, and the aforementioned unification machine or the aforementioned counter -- the decimation filter characterized by an addition means to add a result consisting of superconductivity circuits, respectively

[Claim 3] It is the decimation filter characterized by for the aforementioned counter consisting of series-connection objects of two frequency dividers, and resetting an enumerated data in a decimation filter according to claim 1 or 2 by the read-out signal which inputs the two aforementioned frequency divider by the time interval of the integral multiple of the aforementioned clock.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the composition of the decimation filter called zinc filter (sincfilter) which processes the pulse signal transmitted at high speed.

[0002]

[Description of the Prior Art] It is conventionally related with the composition of the decimation filter which consists of a superconductivity circuit. It is the 1st conventional example. IEEE transactions ON Rise RAIDO Super KONDAKUTI Beatty From the 2252nd volume [5th] (1995) page to the 2259th page (IEEE Transactions on Applied Superconductivity vol.5 (1995) pp.2252-2259) It is the 2nd conventional example. IEEE transactions ON Rise RAIDO Super KONDAKUTI Beatty From the 2975th volume [7th] (1997) page to the 2978th page (IEEE Transactions on Applied Superconductivity vol.7 (1997) pp.2975-2978) It is the 3rd conventional example. IEEE Transactions ON super KONDAKUTI Beatty — the 2480th volume [7th] (1997) page to the 2483rd page () Rise RAIDO [IEEE Transactions on Applied Superconductivity vol.7] (1997) It is discussed in pp.2480-2483.

[0003]

[Problem(s) to be Solved by the Invention] As shown all over drawing of Fig.6(a) of the conventional example of the above 1st, the zinc filter which is one of the decimation filters takes the sum about the subscript i which makes a clock an unit of time for the input signal x_i which is transmitting the clock as a period of time, and repeats it two or more times.

[0004] Here, when the number of times of the repeat is k times, it becomes the zinc filter whose number is k . The delay machine with which this conventional example is an example of the secondary zinc filter, and it is expressed "D cell" among Fig.6 (a). The toggle flip flop of destructive read expressed as "NT cell" (TFF), The toggle flip flop of destructive reading expressed as "TI cell". This conventional example that consists of shunts put on the point that two signal lines have branched from one signal line in this drawing After using the double integration algorithm, taking the sum for an input signal x_i about Subscript i and calculating yn , the sum is again taken for vn about Subscript n , and y_i is calculated, namely, the sum is taken doubly, and filter operation is realized.

[0005] Moreover, although the counter in which an enumerated data carries out 0 value helicopter set with a read-out signal by carrying out the series connection of the toggle flip flop ("TI cell") of destructive reading is constituted, the toggle flip flop ("NT cell") of destructive read is also used further. This conventional example needs the element circuit of varieties, such as "TI cell" and "NT cell", and it has been an obstacle at the time of realizing high-speed operation that circuitry is complicated. For high-speed operation, much more simplification of circuitry is required.

[0006] A decimation filter multiplies the suitable number coefficient c_i for an input signal x_i , and can realize it also by taking the sum about the subscript i which makes a clock an unit of time for the multiplication result as shown in the formula (1) in the conventional example of the above 2nd. Since this method can realize various decimation filters only by choosing other suitable coefficients c_i , it has the advantage in which versatility is high.

[0007] However, a coefficient memory unit, a control unit, an input/output interface, and various element circuits are needed, and it has been an obstacle at that circuitry is complicated and the time of there being demerit in which a scale becomes large and realizing high-speed operation as shown in Fig.1 in the reference of the aforementioned conventional example.

[0008] moreover, the conventional example of the above 3rd is shown in Fig.5 of the aforementioned reference — as — two accumulators (accumulator), one down sampler, and two difference — it is the example which constituted the secondary zinc filter from a vessel Although there is the advantage in which circuitry is easy, it is constituted by the element circuit of a few kind, and an accumulator adds including the feedback section, and since two-piece cascade connection of this accumulator is carried out, it has further the demerit in which the numeric value of the result of an operation increases, and a circuit scale also increases. This big circuit scale has been the obstacle of high-speed operation.

[0009] The purpose of this invention is to offer the decimation filter which does not perform addition which could constitute by the element circuit of the suitable few kind for high-speed operation, and contained the feedback section.

[0010] Other purposes and new features will become clear by description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0011]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0012] (1) The delay machine with which the pulse which transmits a clock as a period of time is made into an input signal, and only one clock delays this pulse. The counter which carries out counting of the pulse number transmitted between the time of the integral multiple of the aforementioned clock. The shunt which carries out diverging of the pulse currently transmitted to one signal line to two or more signal lines. In a decimation filter equipped with an addition means to add a result counting of the unification machine which joins one signal line in two or more pulses currently transmitted to two or more signal lines, or the aforementioned counter — The 1st circuit block which generates the pulse by which it has the aforementioned shunt and the aforementioned delay machine at least, and the aforementioned input signal pulse inputted, and only the integral multiple of a clock was delayed from this input signal pulse to two or more signal lines, at least — counting of the aforementioned counter, the aforementioned unification

machine, or the aforementioned counter -- it has an addition means to add a result and the 2nd circuit block which carries out counting of the pulse number generated from the circuit block of the above 1st to two or more aforementioned signal lines between the time of the integral multiple of the aforementioned clock is provided [0013] (2) the decimation filter of the aforementioned means (1) -- setting -- counting of the aforementioned delay machine, the aforementioned counter, the aforementioned shunt, and the aforementioned unification machine or the aforementioned counter -- an addition means to add a result consists of superconductivity circuits, respectively [0014] (3) In the aforementioned means (1) or the decimation filter of (2), the aforementioned counter consists of series-connection objects of two frequency dividers, and an enumerated data is reset by the read-out signal which inputs the two aforementioned frequency divider by the time interval of the integral multiple of the aforementioned clock.

[0015]

[Embodiments of the Invention] Hereafter, with reference to a drawing, this invention is explained in detail with the form (example) of the operation.

[0016] (Example 1) The example 1 by this invention is first explained using drawing 1, drawing 5, or drawing 11. this example 1 is an example which constituted the secondary zinc filter of the decimation factor $N=4$.

[0017] In the secondary zinc filter, signal y_i outputs the following several 1 calculation results of a formula to an input signal x_i .

[0018]

[Equation 1]

$$y_i' = (1/N^2) \sum_{j=i-(N-1)}^i \sum_{k=j-(N-1)}^j x_k$$

[0019] In a formula with one above, since $(1/N^2)$ is constants, this shall be removed and Signal y_i shall constitute hereafter the zinc filter which outputs the result of the following calculation of several two of a formula from this example 1.

[0020]

[Equation 2]

$$y_i = \sum_{j=i-(N-1)}^i \sum_{k=j-(N-1)}^j x_k$$

[0021] The formula with two above turns into the several 3 following formula at the time of $N=4$.

[0022]

[Equation 3]

$$y_i = \sum_{j=i-3}^i (x_j + x_{j-1} + x_{j-2} + x_{j-3})$$

($i = 4n$; n は整数)

[0023] As the decimation filter of this example 1 is shown in drawing 1, with the 1st circuit block 11 Two or more pulses $\{x_j\}$ by which only the integral multiple of a clock was delayed from the input signal pulse, $\{x_{j-1}\}$, $\{x_{j-2}\}$, and $\{x_{j-3}\}$ are generated. with the 2nd circuit block 12 After making the pulse of these plurality join, counting of the pulse number to $j=i$ is carried out, y_i is obtained, and filter operation is obtained from the pulse number -3 during the time of the integral multiple of a clock, i.e., $j=i$.

[0024] Hereafter, it explains in detail. An input signal is inputted into the shunt 114 which is the pulse which is transmitting the clock as a time period, and is the component of the 1st circuit block 11. The equal circuit and symbol of a shunt 114 are shown in drawing 7. As shown in drawing 7, a shunt 114 consists of direct-current bias-current DC, a Josephson junction JJ (x mark in drawing), and an inductor L. Two pulses output from a shunt 114 and one generates a pulse $\{x_j\}$ from the 1st circuit block 11 through a signal line 117. $\{x_j\}$ is a pulse without an input signal pulse to clock delay.

[0025] Another pulse is inputted into the delay machine 111. The equal circuit and symbol of the delay machine 111 are shown in drawing 6. The data signal inputted into the delay machine 111 is outputted from the delay machine 111, when it is once stored in the delay machine 111 and the following clock inputs into the delay machine 111. That is, as for a data signal, only one clock will be delayed. The output of the delay machine 111 is inputted into a shunt 115. Hereafter, like the time of an input signal inputting into a shunt 114, two pulses output and one generates a pulse $\{x_{j-1}\}$ from the 1st circuit block 11 through a signal line 118. $\{x_{j-1}\}$ is the pulse by which only one clock was delayed from the input signal pulse.

[0026] Another pulse is inputted into the delay machine 112. Hereafter, two or more pulses generate through signal lines 119 and 1110 by using a shunt 116 and the delay machine 113 similarly. As mentioned above, $\{x_{j-3}\}$ for which only three clocks were delayed will generate from $\{x_{j-1}\}$ for which only $\{x_j\}$ without clock delay [pulses / two or more pulses by which only the integral multiple of the input signal pulse from the 1st circuit block 11 to a clock was delayed / i.e. an input signal pulse,], and an input signal pulse to one clock was delayed, $\{x_{j-2}\}$ for which only an input signal pulse to two clocks were delayed, and an input signal pulse.

[0027] The 2nd circuit block 12 makes the pulse of these plurality join, and carries out counting of the sum total of a pulse number. First, $\{x_{j-1}\}$ is inputted into the unification machine 122 as two pulses $\{x_j\}$ currently transmitted to the signal line 117 and the signal line 118, and one signal line is made to join. The equal circuit and symbol of the unification machine 122 are shown in drawing 8. As shown in drawing 8, the unification machine 122 consists of direct-current bias-current DC, a Josephson junction JJ, and an inductor L. Next, the pulse $\{x_{j-3}\}$ which is transmitting further the pulse $\{x_{j-2}\}$ currently transmitted to the signal line 119 to the signal line 1110 with the unification vessel 123 is made to join with the unification vessel 124, and two or more pulses $\{x_j\}$ generated from the 1st circuit block 11, $\{x_{j-1}\}$, $\{x_{j-2}\}$, and $\{x_{j-3}\}$ are made to join on one signal line. Next, counting of the pulse number transmitted on this signal line is carried out with a counter 121. In this example 1, since a decimation factor is $N=4$, it reads with one fourth of the periods of a clock frequency, a signal is inputted into a counter 121, and counting of the pulse which transmits a signal-line top by the 4 times as many time interval as a clock is carried out. In addition, the shunt 125,126,127,128 was used in order to input a read-out signal. Moreover, as shown below, after a counter 121 outputs a result with a read-out signal, an enumerated data resets it to zero value. the time of carrying out the close

mosquito of the following read-out signal from this -- the right counting -- the counter 121 with which a result will be obtained consists of the things and flip-flops (FF) which carried out the series connection of the toggle flip flop (TFF) which is two frequency dividers. The equal circuit and symbol of a toggle flip flop are shown in drawing 5. Whenever IN2 inputs a toggle flip flop, it repeats zero state and one state. That is, they are two frequency dividers about an input IN2. If IN2 inputs in one state, 02-1 will output. Moreover, if IN1 inputs in one state, 01-1 will output and it will reset to further 0 state. Therefore, the pulse signal which carries out counting to IN2 is inputted, it reads to IN1 and a signal is inputted.

[0028] Similarly, the equal circuit and symbol of a flip-flop are shown in drawing 9. If IN2 inputs in zero state, it will change to one state. Although nothing is outputted from 01 but it is still zero state when IN1 inputs in zero state, if IN1 inputs in one state, 01-1 will output and it will reset to zero state. Therefore, the pulse signal which carries out counting to IN2 is inputted, it reads to IN1 and a signal is inputted. After outputting a result with a read-out signal by constituting a counter 121 using the series-connection object and flip-flop of these toggle flip flops, an enumerated data can realize operation which carries out 0 value helicopter set.

[0029] this example 1 does not take the sum about the subscript of an input signal x_i doubly directly like the conventional example of the above 1st. After this example 1 makes the 1st circuit block 11 generate two or more pulses $\{x_j\}$ which should be carried out counting, $\{x_{j-1}\}$, $\{x_{j-2}\}$, and $\{x_{j-3}\}$, with the 2nd circuit block 12 Two or more of these pulses are made to join, the several 3 sum ($\sum_{i=j-3}^j x_i$) (* expresses attachment on a subsequent character) of a formula which carried out counting of the pulse number, and mentioned it above is performed, and Output y_i ($= \sum_{i=j-3}^j (x_j + x_{j-1} + x_{j-2} + x_{j-3})$) is obtained.

[0030] Therefore, since addition which could constitute by the element circuit of the few kind of a toggle flip flop, a flip-flop, a delay machine, a shunt, and a unification machine, and contained the feedback section is not performed, the suitable decimation filter for high-speed operation can be realized.

[0031] The simulation operation wave of this example 1 is shown in drawing 10. The clock time of this simulation is 200ps(es), makes this clock the period of time and inputs an input signal x_i . In this example, it is $= (1, 1, 0, 1, 0, 1) (x_1, x_2, x_3, x_4, x_5, x_6)$, and is $x_i=0 (i \leq 0)$. x_1 and x_2 whose value is 1, and x_4 correspond to the pulses 1311, 1312, and 1313 in it drawing 10 [it]. A pulse 1341 or 1348 expresses the pulse measured in the position just behind the unification machine 124 of drawing 1. A pulse 1341 corresponds to x_1 which passed along the signal line 117, and after one clock of pulses 1342 and 1343 is delayed with x_2 which passed along the signal line 117, they correspond to x_1 which passed along the signal line 118. Similarly, after two clocks of pulses 1344 and 1345 are delayed with x_2 which passed along the signal line 118 after one clock was delayed, they correspond to x_1 which passed along the signal line 119. Moreover, after three clocks of pulses 1346, 1347, and 1348 are delayed with x_2 which passed along the signal line 119 after two clocks were delayed with x_4 which passed along the signal line 117, they correspond to x_1 which passed along the signal green 1110. these eight pulses 1341 or 1348 -- a core -- it inputs into the number machine 121 of clocks

[0032] Although the enumerated data of a counter 121 is read by the read-out signal inputted by one 4 times the period of a clock, in this simulation, a pulse 132 is equivalent to this. At this time, the output pulse 133 from Out3 of a counter 121 has appeared. An enumerated data is 8, and Out3 means what eight pulses inputted, and can check the operation righter than this.

[0033] In addition, although counting of the sum total of the pulse number was carried out with the counter 121 in this example 1 after making two or more pulses generated from the 1st circuit block 11 join by the unification machine 122 or 124 the counting as shown in drawing 11, after carrying out counting of two or more pulses generated from the 1st circuit block 14 by the counter 152 or 155 -- the same effect will be acquired even if it carries out counting of the sum total using the counter 151 which is a means to add a result

[0034] (Example 2) Next, the example 2 of this invention is explained using drawing 2. this example is an example which constituted the 3rd zinc filter of the decimation factor $N=4$.

[0035] The 3rd zinc filter of the decimation factor N outputs several 4 calculation result of a formula of the following Signal / y_i to an input signal x_i like a formula with two above.

[0036]

[Equation 4]

$$y_i = \sum_{j=i-(N-1)}^i \sum_{k=j-(N-1)}^j \sum_{s=k-(N-1)}^k x_s$$

[0037] Several 4 formula turns into the several 5 following formula at the time of $N=4$.

[0038]

[Equation 5]

$$\begin{aligned} y_i &= \sum_{j=i-3}^i \sum_{k=j-3}^j (x_k + x_{k-1} + x_{k-2} + x_{k-3}) \\ &= \sum_{j=i-3}^i \{ (x_j + x_{j-1} + x_{j-2} + x_{j-3}) \\ &\quad + (x_{j-1} + x_{j-2} + x_{j-3} + x_{j-4}) \\ &\quad + (x_{j-2} + x_{j-3} + x_{j-4} + x_{j-5}) \\ &\quad + (x_{j-3} + x_{j-4} + x_{j-5} + x_{j-6}) \} \\ &\quad (i = 4n; n \text{ は整数}) \end{aligned}$$

[0039] Therefore, the 1st **** block 21 is constituted from a delay machine and a shunt like the example 1 of drawing 1. 16 pulses $\{x_j\}$ by which only the integral multiple of a clock was delayed from the input signal pulse, $\{x_{j-1}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-1}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-4}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-4}\}$, $\{x_{j-5}\}$, $\{x_{j-3}\}$, Generate $\{x_{j-4}\}$, $\{x_{j-5}\}$, and $\{x_{j-6}\}$ and these are inputted into the 2nd circuit block 22 through a signal line 211 or 2116 in order. After making two or more of these 16 pulses join, the 3rd zinc filter of the decimation factor $N=4$ will be obtained by carrying out counting with a counter 221.

[0040] In addition, in this example 2, in order for the pulse which joined to transmit an one signal-line top, it is necessary to double timing so that pulses may not happen to each other one after another. In this example 2, although this timing was adjusted using the wiring d lay which becomes settled with the length of a signal line, it can adjust this timing also by inserting the Josephson transmission line, for example.

[0041] (Example 3) Next, the example 3 by this invention is explained using drawing 3.

[0042] the example from which this example 3 constituted the 3rd zinc filter of the decimation factor $N=4$ — it is — the aforementioned example 2 — setting — some unification machines — a counter 322 or 325 — replacing — further — counting of the counter — it is the example using the counter 321 as an addition means to add a result

[0043] The 1st circuit block 31 of this example 3 is the same as the 1st circuit block 21 of the aforementioned example 2. 16 pulses $\{x_j\}$ by which only the integral multiple of a clock was delayed from the 1st circuit block 31 from the input signal pulse x_i , $\{x_{j-1}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-1}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-4}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-4}\}$, $\{x_{j-5}\}$, $\{x_{j-3}\}$, $\{x_{j-4}\}$, $\{x_{j-5}\}$, and $\{x_{j-6}\}$ are generated. The 2nd circuit block 32 is thing ***** which carries out counting of these pulse numbers. First, after making $\{x_j\}$, $\{x_{j-1}\}$, $\{x_{j-2}\}$, and $\{x_{j-3}\}$ join using a unification machine, the several 6 following formula which carries out counting of the number of the pulses in $j=i$ from the pulse number -3 during 4 times as much time as a clock, i.e., $j=i$, with a counter 322 is obtained.

[0044] [Equation 6]

$$\sum_{j=i-3}^i (x_j + x_{j-1} + x_{j-2} + x_{j-3})$$

[0045] Similarly, after making $\{x_{j-1}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, and $\{x_{j-4}\}$ join using a unification machine, the several 7 following formula which carries out counting of the number of the pulses to $j=i$ from the pulse number -3 during 4 times as much time as a clock, i.e., $j=i$, with a counter 323 is obtained.

[0046]

[Equation 7]

$$\sum_{j=i-3}^i (x_{j-1} + x_{j-2} + x_{j-3} + x_{j-4})$$

[0047] Similarly the several 8 following formula which carries out counting of the number of the pulses to $j=i$ from $j=i-3$ with a counter 324 is obtained, and the several 9 following formula which carries out counting of the number of the pulses to $j=i$ from $j=i-3$ with a counter 325 is obtained.

[0048]

[Equation 8]

$$\sum_{j=i-3}^i (x_{j-2} + x_{j-3} + x_{j-4} + x_{j-5})$$

[0049]

[Equation 9]

$$\sum_{j=i-3}^i (x_{j-3} + x_{j-4} + x_{j-5} + x_{j-6})$$

[0050] next, a counter 322 or counting of 325 — a result is inputted and added to a counter 321

[0051] From this, counting of the pulse number to $j=i$ will be carried out from the number -3 of the 16 aforementioned pulses generated from the 1st block 31 between 4 times as much time as a clock, i.e., $j=i$, y_i will be obtained, and filter operation will be obtained.

[0052] in addition — this example 3 — counting of a counter — although the counter 321 was used as a means to add a result, the same effect will be acquired even if it uses the adder used for a logic operation circuit

[0053] Moreover, the circuit block 326 enclosed with the alternate long and short dash line or 329 is the secondary zinc filter of $N=4$ which is the decimation filter of the aforementioned example 1, and this example 3 can also consider that this secondary zinc filter is what was connected through the delay machine.

[0054] (Example 4) Next, the example 4 by this invention is explained using drawing 4. this example 4 is an example which constituted the 3rd zinc filter of the decimation factor $N=4$. In the aforementioned example 3, while this example 4 adds the delay machine 411,412,413 to the 1st circuit block, it adds the delay machines 426, 427, and 428 to the 2nd circuit block corresponding to this, reduces the amount of operations performed between one clocks from this, and attains high-speed operation-ization.

[0055] The 1st circuit block 41 adds the delay machine 411,412,413 to the 1st circuit block of the aforementioned example 3. With a delay vessel, transmission of a pulse is 1 clock ***** and receives an input signal x_i . 16 pulses generated from the 1st circuit block 41 $\{x_j\}$, $\{x_{j-1}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-4}\}$, $\{x_{j-5}\}$, $\{x_{j-4}\}$, $\{x_{j-5}\}$, $\{x_{j-6}\}$, $\{x_{j-7}\}$, $\{x_{j-6}\}$, $\{x_{j-7}\}$, $\{x_{j-8}\}$, and $\{x_{j-9}\}$. The 2nd circuit block 42 carries out counting of these pulse numbers.

[0056] First, after making $\{x_j\}$, $\{x_{j-1}\}$, $\{x_{j-2}\}$, and $\{x_{j-3}\}$ join using a unification machine, with a counter 422, counting of the number of the pulses to $j=i$ is carried out, and the several 6 above-mentioned formula is obtained from the pulse number -3 during 4 times as much time as a clock, i.e., $j=i$.

[0057] Similarly, after making $\{x_{j-2}\}$, $\{x_{j-3}\}$, $\{x_{j-4}\}$, and $\{x_{j-5}\}$ join using a unification machine, counting of the pulse number during 4 times as much time as a clock is carried out with a counter 423.

[0058] However, since the delay machine 426 is inserted in the signal line which a read-out signal transmits corresponding to the delay machine 411 inserted in the 1st circuit block 41, the time to read will carry out counting of the pulse number to $j=i+1$ from 1 clock delay and $j=i-2$. That is, the several 10 following formula is obtained.

[0059]

[Equation 10]

$$\sum_{j=i-2}^{i+1} (x_{j-2} + x_{j-3} + x_{j-4} + x_{j-5})$$

(=前記数7の式)

[0060] Similarly, the several 11 following formula is obtained with a counter 424, and it is [0061].

[Equation 11]

$$\sum_{j=1}^{i+2} (x_{j-4} + x_{j-5} + x_{j-6} + x_{j-7})$$

(=前記数8の式)

[0062] The several 12 following formula is obtained with a counter 425.

[0063]

[Equation 12]

$$\sum_{j=1}^{i+3} (x_{j-6} + x_{j-7} + x_{j-8} + x_{j-9})$$

(=前記数9の式)

[0064] a counter 422 or counting of 425 — a result is inputted and added to a counter 421 at any time Counting of the number of the 16 aforementioned pulses generated from the 1st block 41 between 4 times as much time as a clock from this will be carried out, yi will be obtained, and filter operation will be obtained.

[0065] In addition, in this example 4, counting of two or more pulses generated from the 1st circuit block 41 was not carried out simultaneously, but after delaying one clock at a time using the delay machines 426, 427, and 428, counting was carried out, therefore desired yi was obtained after the after [a read-out signal input] 3 clock. Although the output of a filter is overdue 3 clock back after inputting a read-out signal, there will be few amounts of operations performed between one clocks than the aforementioned example 3, and much more high-speed operation-ization can be attained.

[0066] As mentioned above, although this invention was concretely explained based on the aforementioned example, this invention of the ability to change variously in the range which is not limited to the aforementioned example and does not deviate from the summary is natural.

[0067]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly.

[0068] Since addition which could constitute by the element circuit of a few kind, and contained the feedback section is not performed, the decimation filter more suitable than this for high-speed operation is realizable.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the composition of the secondary zinc filter of the decimation factor $N=4$ which is the decimation filter of the example 1 by this invention.

[Drawing 2] It is the circuit diagram showing the composition of the 3rd zinc filter of the decimation factor $N=4$ which is the decimation filter of the example 2 by this invention.

[Drawing 3] It is the circuit diagram showing the composition of the 3rd zinc filter of the decimation factor $N=4$ which is the decimation filter of the example 3 by this invention.

[Drawing 4] It is the circuit diagram showing the composition of the 3rd zinc filter of the decimation factor $N=4$ which is the decimation filter of the example 4 by this invention.

[Drawing 5] It is the circuit diagram showing the aforementioned example 1, or the equal circuit and symbol of a toggle flip flop of 4.

[Drawing 6] It is the circuit diagram showing the aforementioned example 1, or the equal circuit and symbol of a delay machine of 4.

[Drawing 7] It is the circuit diagram showing the aforementioned example 1, or the equal circuit and symbol of a shunt of 4.

[Drawing 8] It is the circuit diagram showing the aforementioned example 1, or the equal circuit and symbol of a unification machine of 4.

[Drawing 9] It is the circuit diagram showing the aforementioned example 1, or the equal circuit and symbol of another flip-flop of 4.

[Drawing 10] It is drawing showing the simulation operation wave of the secondary zinc filter of the decimation factor $N=4$ which is the decimation filter of the aforementioned example 1.

[Drawing 11] It is the circuit diagram showing the composition of the secondary zinc filter of the decimation factor $N=4$ which is the decimation filter of the aforementioned example 1.

[Description of Notations]

11, 21, 31, 41 [— A counter, 114,115,116 / — A shunt, 122,123,124 / — Unification machine.] — The 1st circuit block, 12, 22, 32, 42 — The 2nd circuit block, 121,221,321,421

[Translation done.]

* NOTICES *

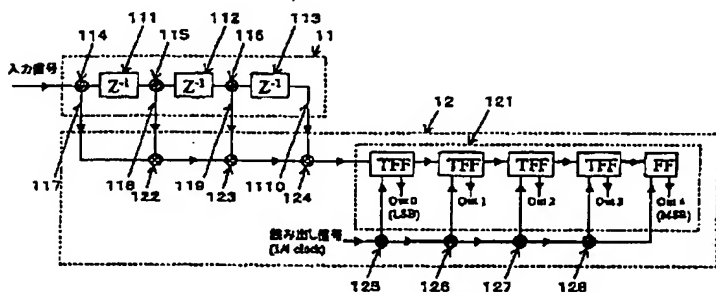
Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

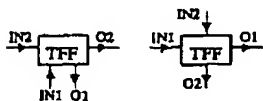
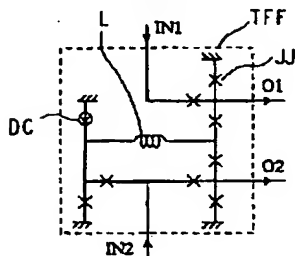
[Drawing 1]

1



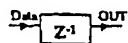
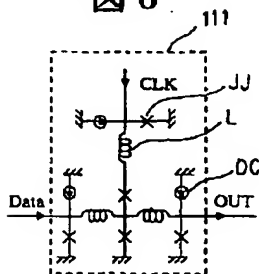
[Drawing 5]

5



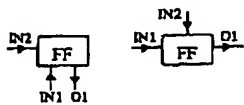
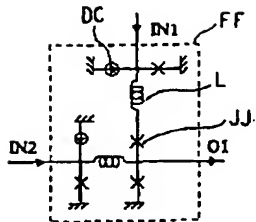
[Drawing 6]

6



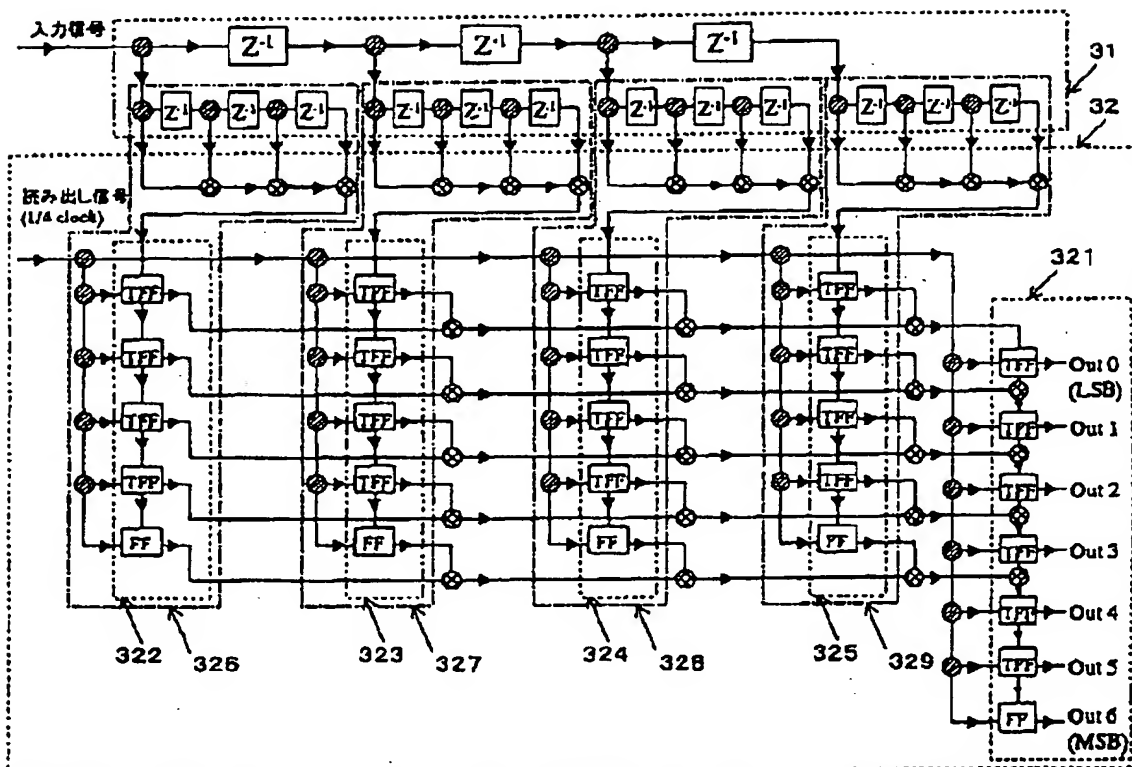
[Drawing 2]

図 9



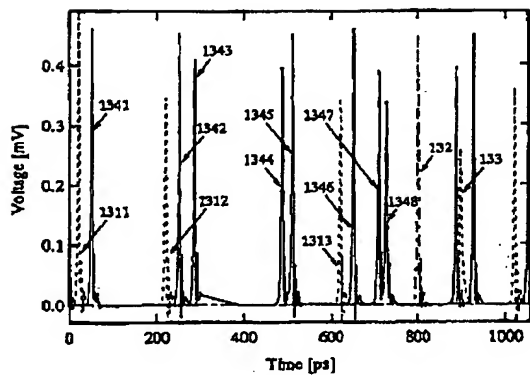
[Drawing 3]

図 3



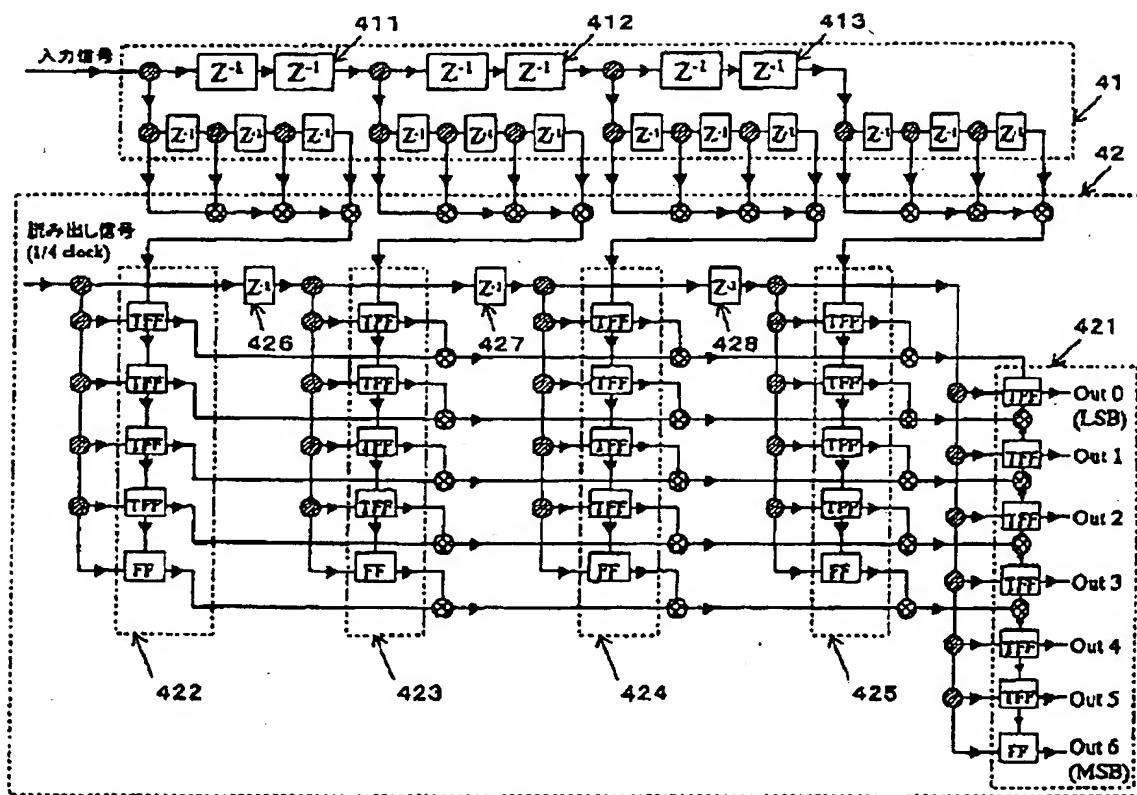
[Drawing 10]

図 10



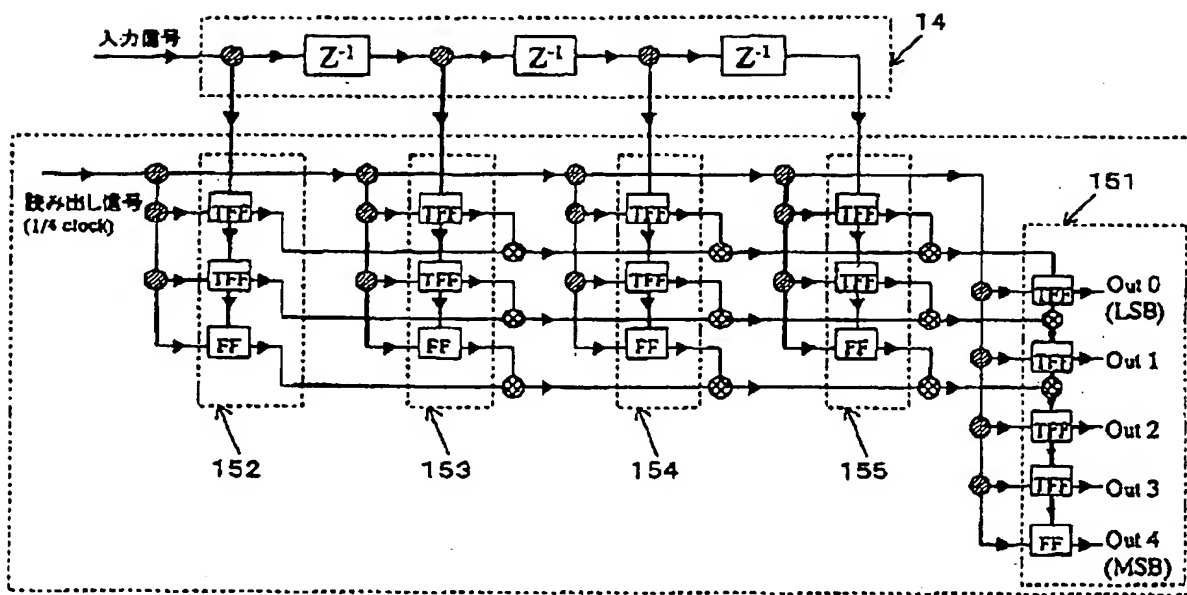
[Drawing 4]

図 4



[Drawing 11]

図 1 1



[Translation done.]